



Курс: Цифровые технологии в научных исследованиях

ЛЕКЦИЯ 3: О ПРОБЛЕМЕ ВЫЧИСЛИМОСТИ КОГНИТИВНЫХ РЕШЕНИЙ ОГРАНИЧЕННОЙ РАЦИОНАЛЬНОСТИ



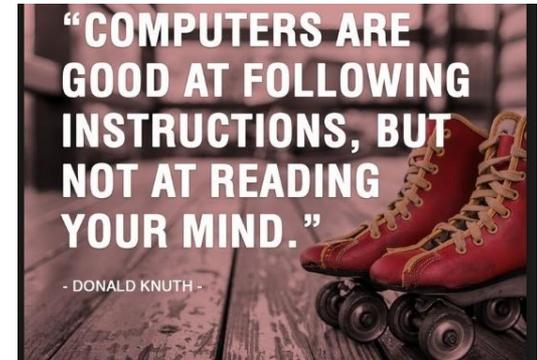
Проблема в том, что

системы, которые мы строим, ведут себя в точности так, как мы их запрограммировали какие данные обрабатывают, используя разрешенный набор операций частично-рекурсивных функций

НО

совсем не так, как мы предполагали!

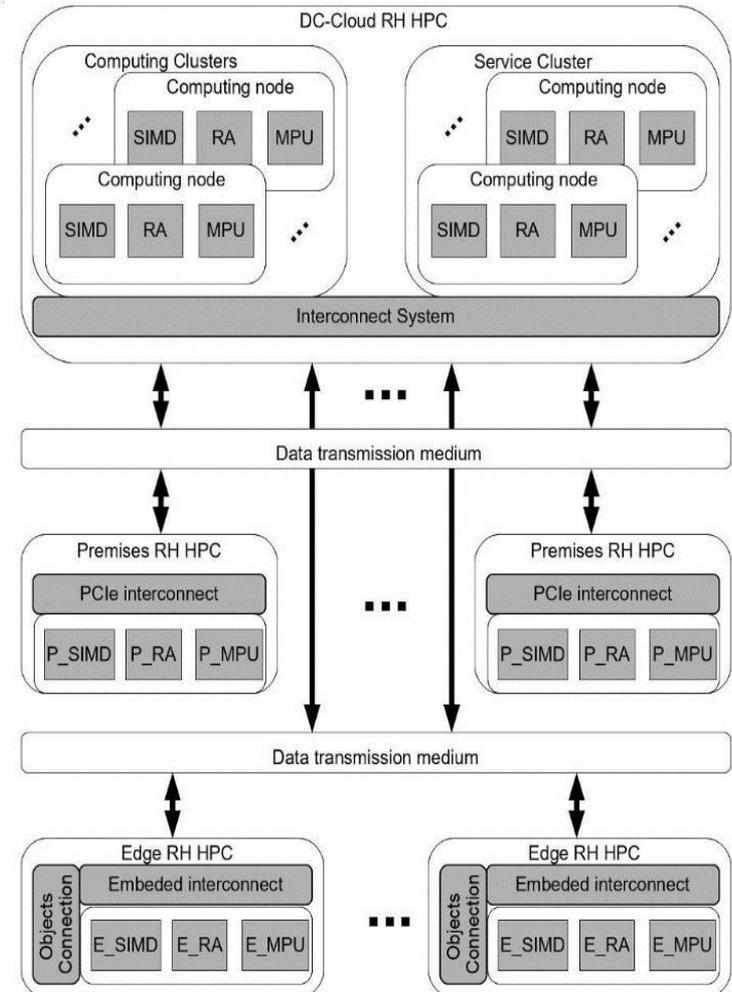
Человеческий мозг не в состоянии справиться со сложностью при разработке программ объемом в сотни миллионов строк кода



Узлы уровня объяснения результатов

Узлы уровня агрегации данных и моделирования

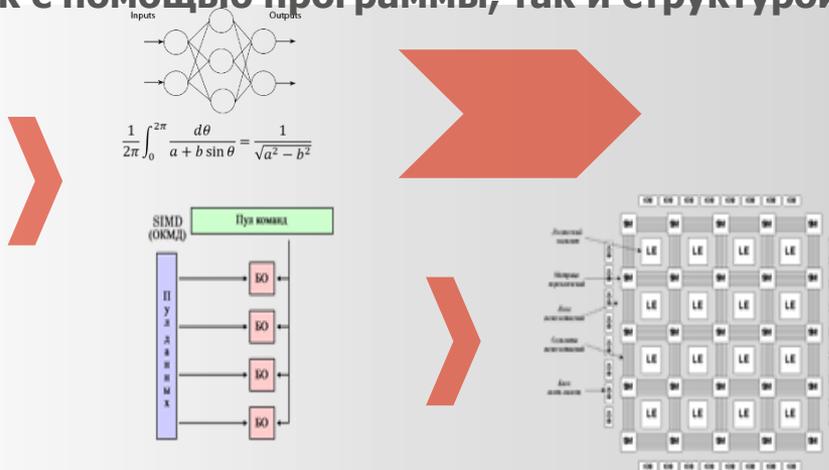
Узлы уровня доступа к данным



ПЕРЕХОД ОТ ПРОГРАММНОГО УПРАВЛЕНИЯ ПОТОКОМ ДАННЫХ И ОПЕРАЦИЙ К ОРГАНИЗАЦИИ «ИНТЕЛЛЕКТУАЛЬНЫ» ВЫЧИСЛЕНИЙ

В чем «новация» : представление процессов вычислений как потока команд, исполняемых на процессорах и гетерогенных ускорителях – устройствах, в которых алгоритм представлен как с помощью программы, так и структурой вычислителя

Данные и Программы вычисления



ускорители

Реконфигурируемое «поле» вычислений

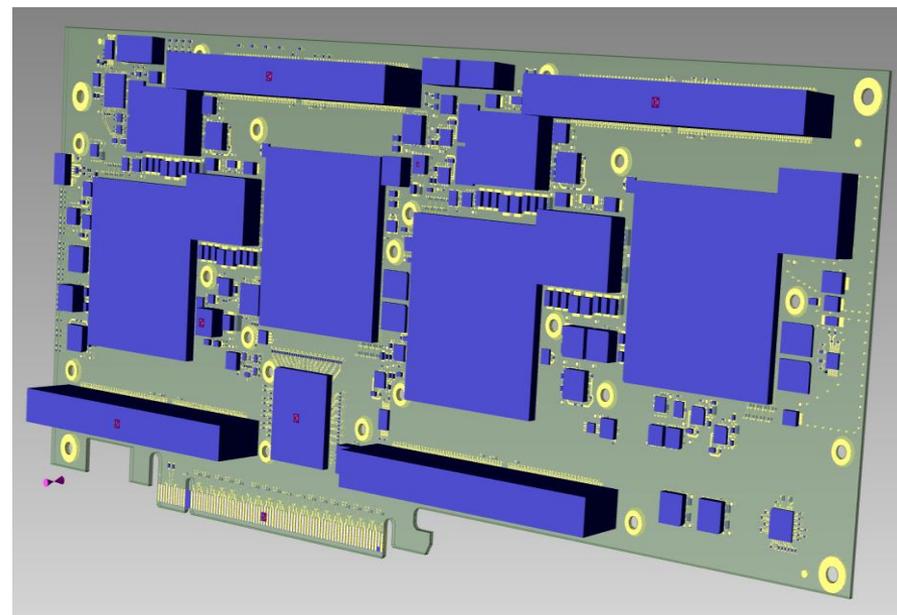
Результаты вычислений
И оценка «вычислительной эффективности» «добучение И»

Что требуется:

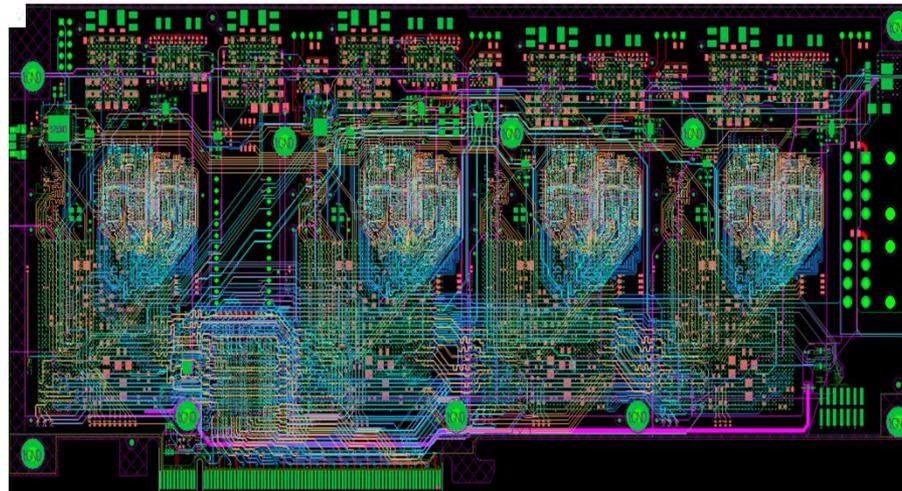
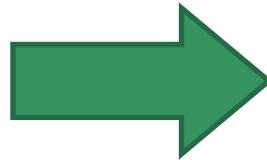
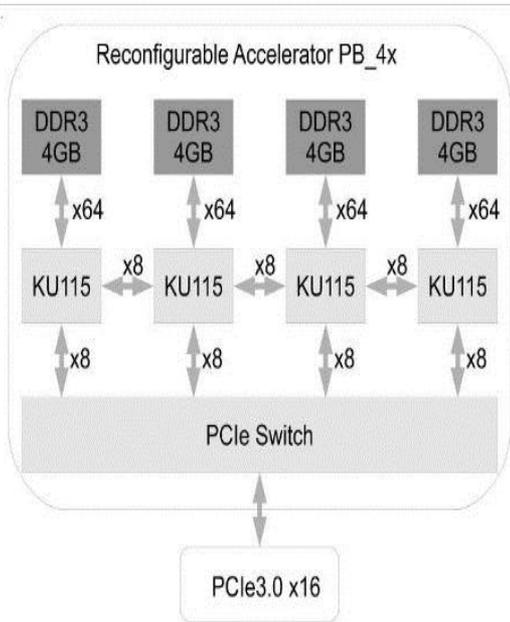
Гетерогенный Суперкомпьютер (вычислительные кластеры и CUDA кластеры), д.б. дополнены вычислительными узлами с реконфигурируемыми «ускорителями»,

Тип 1. Вычислительный узел

- a. Размер 4U
- b. Содержит
 - i. Не менее 40 FPGA типа XCKU115 (Kintex Ultra Scale 115)
 - ii. Не менее 640 Гбайт памяти DDR4 подключенной к FPGA
 - 1. 10 вычислительных плат с интерфейсом PCIe 3.0 x16.
 - a. К каждой FPGA через коммутатор PCIe подключен отдельный канал PCIe3.0 8x
 - b. Каждая плата содержит 4 FPGA типа XCKU115 (Kintex Ultra Scale 115)
 - i. К каждой FPGA подключено не менее 16 Гбайт памяти DDR4
 - iii. Два процессора Intel Xeon 2n Gen
 - 1. Процессорная оперативная память (на каждый процессор) не менее 1024 Гбайт
 - 2. Два канала 10Гбит Ethernet, подключенные к процессорам

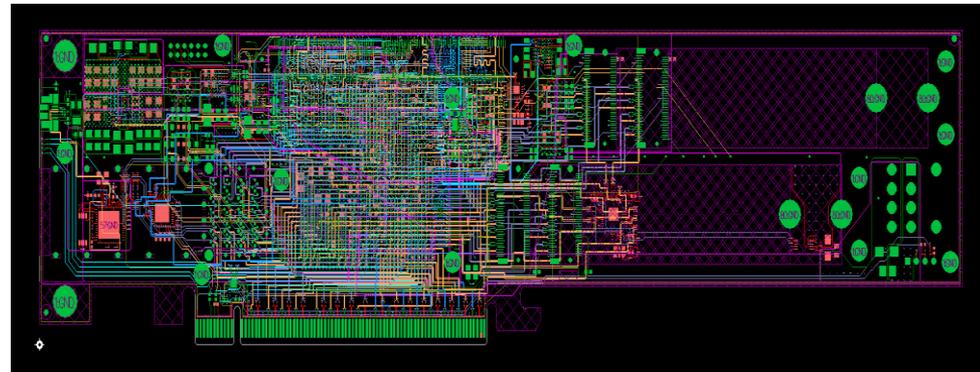
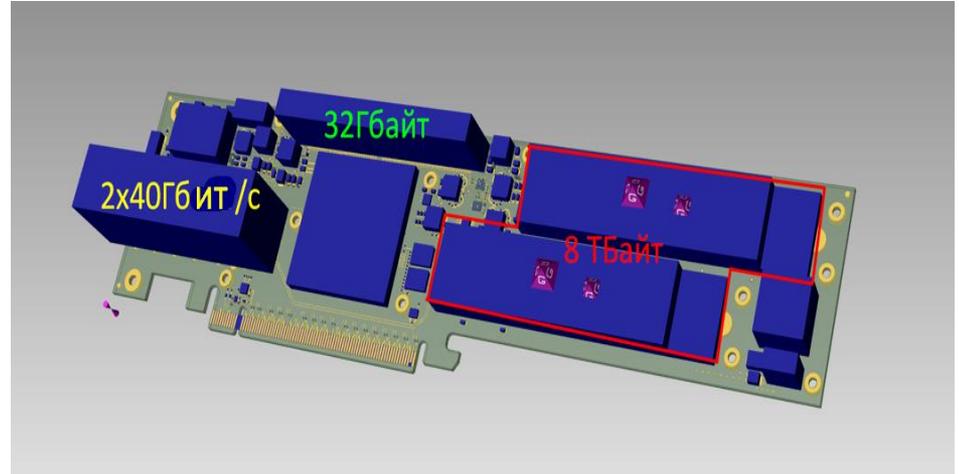


РЕКОНФИГУРИРУЕМЫЙ УСКОРИТЕЛЬ



Тип 2. Коммутационный узел

- a. Размер 4U
- b. Содержит
 - i. Не менее 10 FPGA типа XCKU115 (Kintex Ultra Scale 115)
 - ii. Не менее 20 каналов Ethernet по 40Гбит каждый (реконфигурируемые в 80 каналов 10 Гбит)
 - iii. Не менее 40 Тбайт энергонезависимой памяти, реализованной на M.2 SSD дисках с интерфейсом PCIe 3.0 x4
 - 1. 10 плат коммутационных плат с интерфейсом PCIe 3.0 x16.
 - a. Каждая плата содержит FPGA типа XCKU115 (Kintex Ultra Scale 115)
 - i. К FPGA подключено не менее 16 Гбайт памяти DDR4
 - b. Каждая плата содержит 2 канала Ethernet по 40Гбит каждый (реконфигурируемые в 8 каналов 10 Гбит)
 - c. Каждая плата содержит 4 Тбайт энергонезависимой памяти, реализованной на двух M.2 SSD дисках с



Тип 3. Вычислительно-коммутационный узел

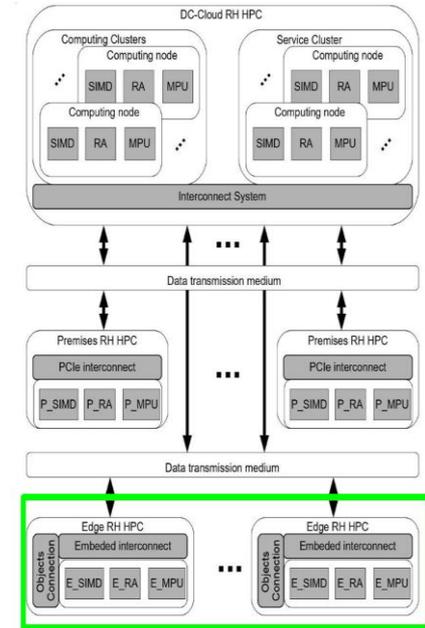
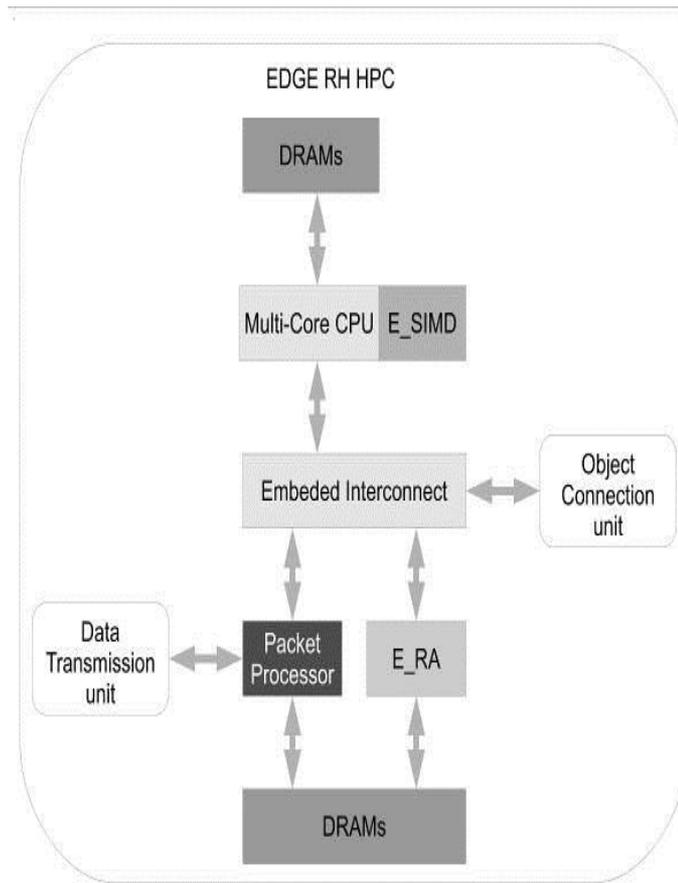
- a. Размер 4U
- b. Содержит
 - i. Не менее 25 FPGA типа XCKU115 (Kintex Ultra Scale 115)
 - ii. Не менее 10 каналов Ethernet по 40Гбит каждый (реконфигурируемые в 40 каналов 10 Гбит)
 - iii. Не менее 20 Тбайт энергонезависимой памяти, реализованной на M.2 SSD дисках с интерфейсом PCIE 3.0 x4
 1. 5 вычислительных плат с интерфейсом PCIE 3.0 x16.
 - a. К каждой FPGA через коммутатор PCIE подключен отдельный канал PCIE3.0 8x
 - b. Каждая плата содержит 4 FPGA типа XCKU115 (Kintex Ultra Scale 115)
 - i. К каждой FPGA подключено не менее 16 Гбайт памяти DDR4
 2. 5 плат коммутационных плат с интерфейсом PCIE 3.0 x16.
 - a. Каждая плата содержит FPGA типа XCKU115 (Kintex Ultra Scale 115)
 - i. К FPGA подключено не менее 16 Гбайт памяти DDR4
 - b. Каждая плата содержит 2 канала Ethernet по 40Гбит каждый (реконфигурируемые в 8 каналов 10 Гбит)
 - c. Каждая плата содержит 4 Тбайт энергонезависимой памяти, реализованной на двух M.2 SSD дисках с интерфейсом PCIE 3.0 x4, подключенным к FPGA
 - iv. Два процессора Intel Xeon 2n Gen
 1. Процессорная оперативная память (на каждый процессор) не менее 1024 Гбайт
 2. Два канала 10Гбит Ethernet, подключенные к процессорам

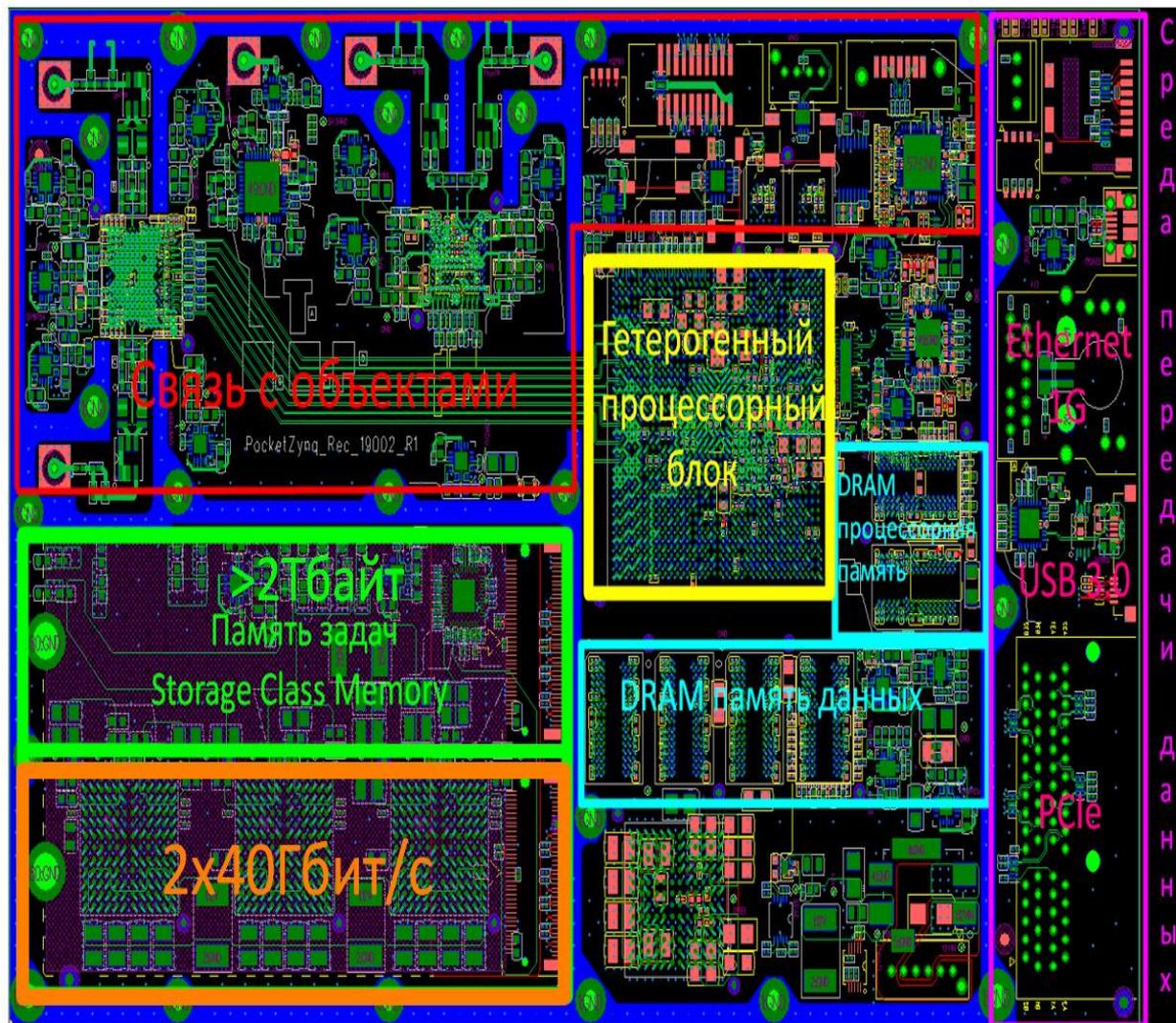
Basic high performance Systems-on-Chip» node with smart interconnection interface improved by packet processor.

Multi-Core CPU, which is a main processing unit. E_SIMD accelerator tightly coupled with Multi-Core CPU. It could implemented as a separate Integration Circuit (IC) or as embedded GPGPU unit inside SoC device.

E_RA accelerator, which could be implemented as a separate IC or as embedded unit, deployed on Logic Part of SoC device.

DRAM blocks, which, at the physical level, are DDR4 memory modules. DRAMs are the local memory for Logic Part and





Цифровой фенотип человека:
 - we wanted the best, but it turned out as always

