

*Thinking is not the ability to manipulate **language**;  
it's the ability to manipulate **concepts**. Computer  
science **should be about concepts**, not languages.  
Лесли Лэмпорт*

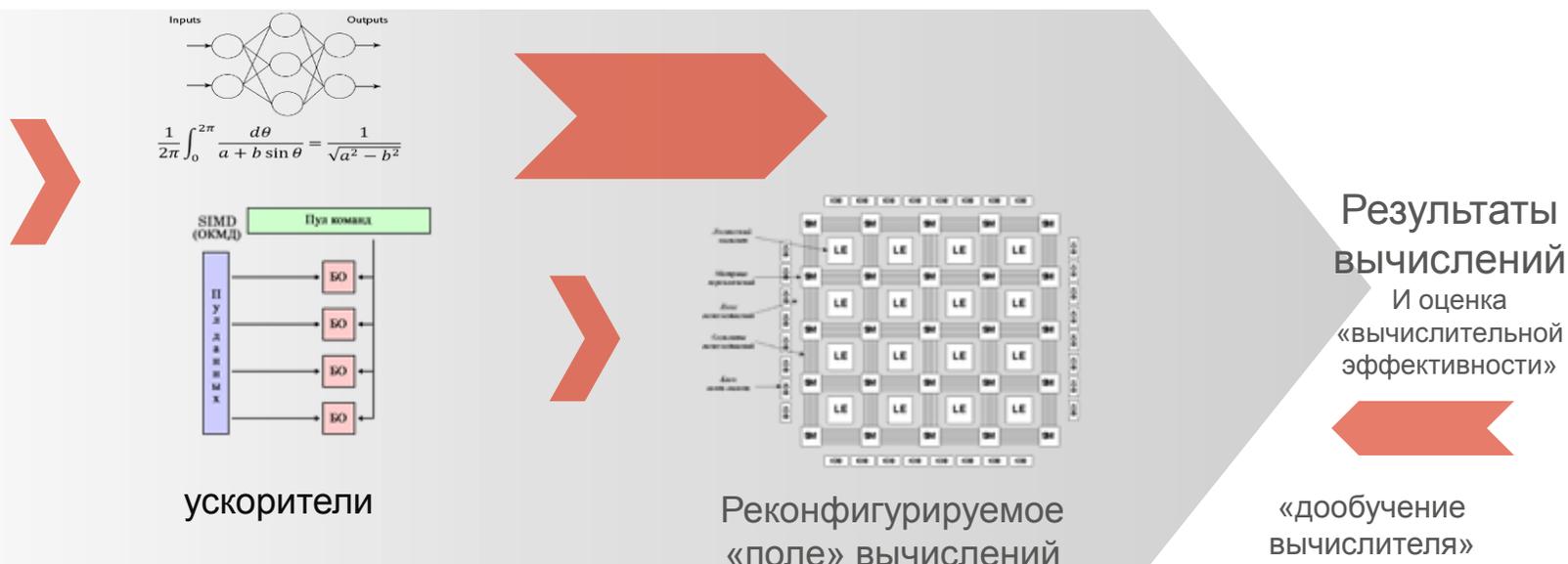
Курс: Цифровые технологии в научных исследованиях

ЛЕКЦИЯ 1: ГЕТЕРОГЕННЫЕ ВЫСОКОПРОИЗВОДИТЕЛЬНЫЕ  
ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ ДЛЯ ЗАДАЧ МОДЕЛИРОВАНИЯ И  
ИИ

# ПЕРЕХОД ОТ ПРОГРАММНОГО УПРАВЛЕНИЯ ПОТОКОМ ДАННЫХ И ОПЕРАЦИЙ К ОРГАНИЗАЦИИ «ИНТЕЛЛЕКТУАЛЬНЫ» ВЫЧИСЛЕНИЙ

В чем «новация» : представление процессов вычислений как потока команд, исполняемых на процессорах и гетерогенных ускорителях – устройствах, в которых алгоритм представлен как с помощью программы, так и структурой вычислителя

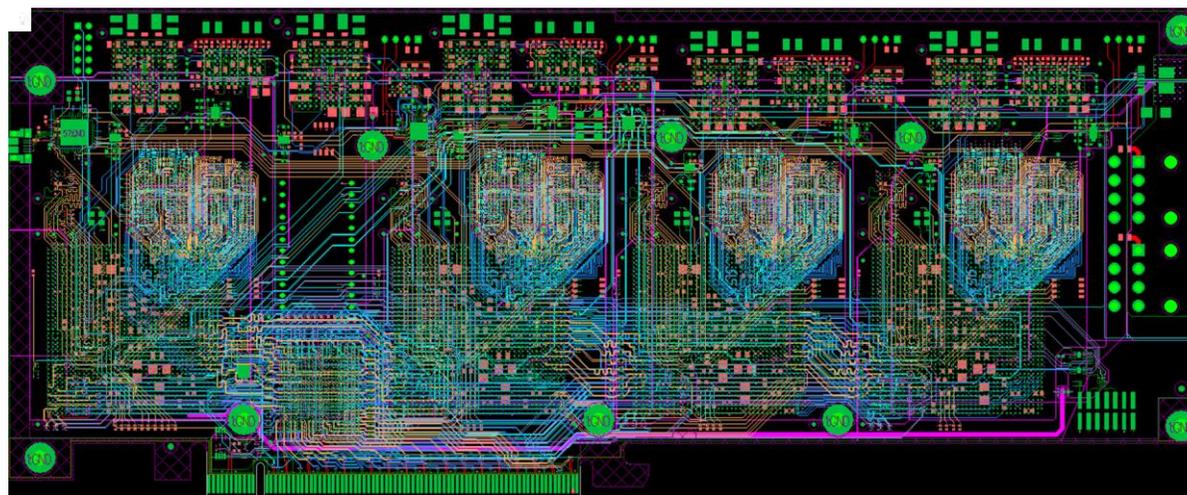
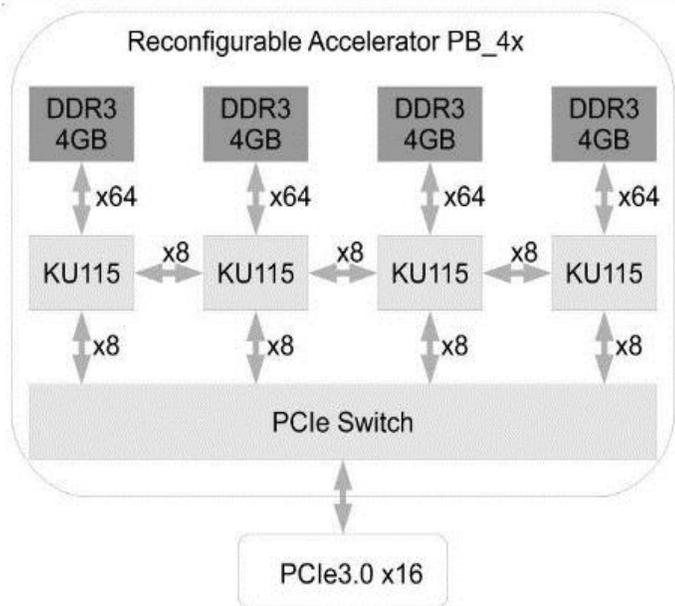
Данные и Программы вычислений :



Что требуется:

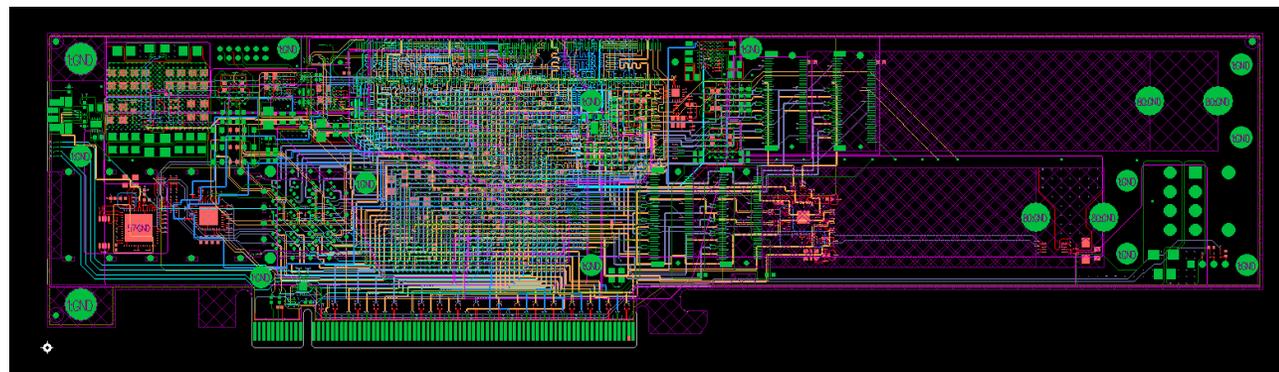
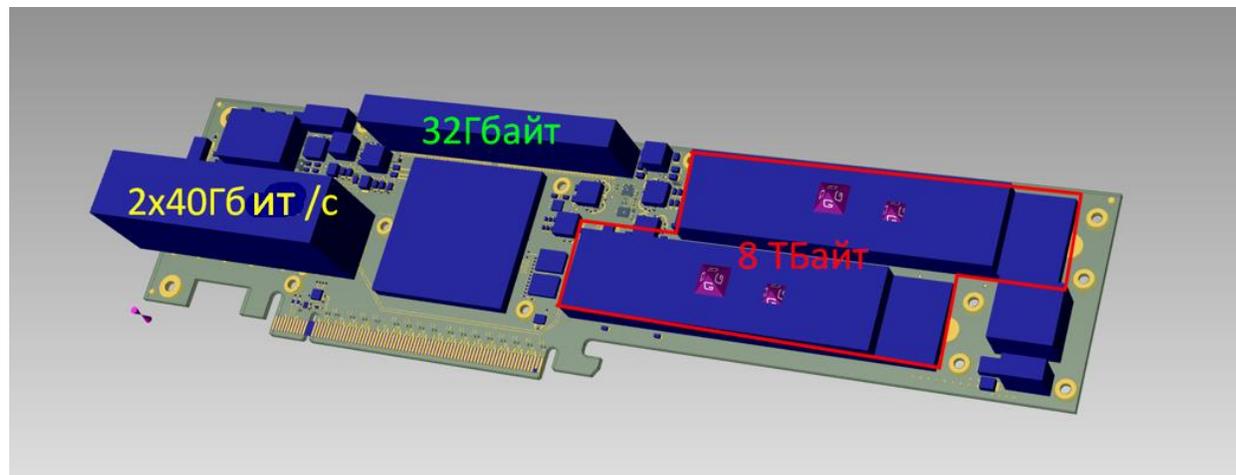
**Гетерогенный Суперкомпьютер (вычислительные кластеры и CUDA кластеры), д.б. дополнены вычислительными узлами с реконфигурируемыми «ускорителями»,**

# РЕКОНФИГУРИРУЕМЫЙ УСКОРИТЕЛЬ



## Тип 2. Коммутационный узел

- a. Размер 4U
- b. Содержит
  - i. Не менее 10 FPGA типа XCKU115 (Kintex Ultra Scale 115)
  - ii. Не менее 20 каналов Ethernet по 40Гбит каждый (реконфигурируемые в 80 каналов 10 Гбит)
  - iii. Не менее 40 Тбайт энергонезависимой памяти, реализованной на M.2 SSD дисках с интерфейсом PCIe 3.0 x4
    - 1. 10 плат коммутационных плат с интерфейсом PCIe 3.0 x16.
      - a. Каждая плата содержит FPGA типа XCKU115 (Kintex Ultra Scale 115)
        - i. К FPGA подключено не менее 16 Гбайт памяти DDR4
      - b. Каждая плата содержит 2 канала Ethernet по 40Гбит каждый (реконфигурируемые в 8 каналов 10 Гбит)
      - c. Каждая плата содержит 4 Тбайт энергонезависимой памяти, реализованной на двух M.2 SSD дисках с интерфейсом PCIe 3.0 x4, подключенным к FPGA
    - iv. Два процессора Intel Xeon 2n Gen
      - 1. Процессорная оперативная память (на каждый процессор) не менее 1024 Гбайт
      - 2. Два канала 10Гбит Ethernet, подключенные к процессорам



## Тип 3. Вычислительно-коммутационный узел

- a. Размер 4U
- b. Содержит
  - i. Не менее 25 FPGA типа XCKU115 (Kintex Ultra Scale 115)
  - ii. Не менее 10 каналов Ethernet по 40Гбит каждый (реконфигурируемые в 40 каналов 10 Гбит)
  - iii. Не менее 20 Тбайт энергонезависимой памяти, реализованной на M.2 SSD дисках с интерфейсом PCIE 3.0 x4
    - 1. 5 вычислительных плат с интерфейсом PCIE 3.0 x16.
      - a. К каждой FPGA через коммутатор PCIE подключен отдельный канал PCIE3.0 8x
      - b. Каждая плата содержит 4 FPGA типа XCKU115 (Kintex Ultra Scale 115)
        - i. К каждой FPGA подключено не менее 16 Гбайт памяти DDR4
    - 2. 5 плат коммутационных плат с интерфейсом PCIE 3.0 x16.
      - a. Каждая плата содержит FPGA типа XCKU115 (Kintex Ultra Scale 115)
        - i. К FPGA подключено не менее 16 Гбайт памяти DDR4
      - b. Каждая плата содержит 2 канала Ethernet по 40Гбит каждый (реконфигурируемые в 8 каналов 10 Гбит)
      - c. Каждая плата содержит 4 Тбайт энергонезависимой памяти, реализованной на двух M.2 SSD дисках с интерфейсом PCIE 3.0 x4, подключенным к FPGA
  - iv. Два процессора Intel Xeon 2n Gen
    - 1. Процессорная оперативная память (на каждый процессор) не менее 1024 Гбайт
    - 2. Два канала 10Гбит Ethernet, подключенные к процессорам

# "ACCESS" NODE – CONNECTION TO THE "BIG DATA" SPACE

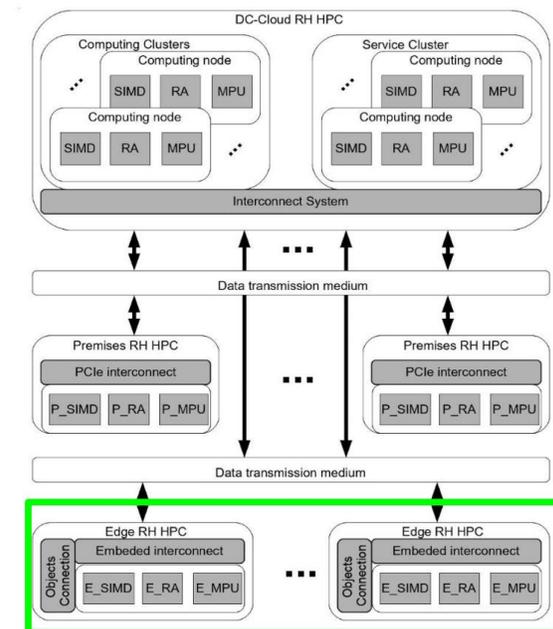
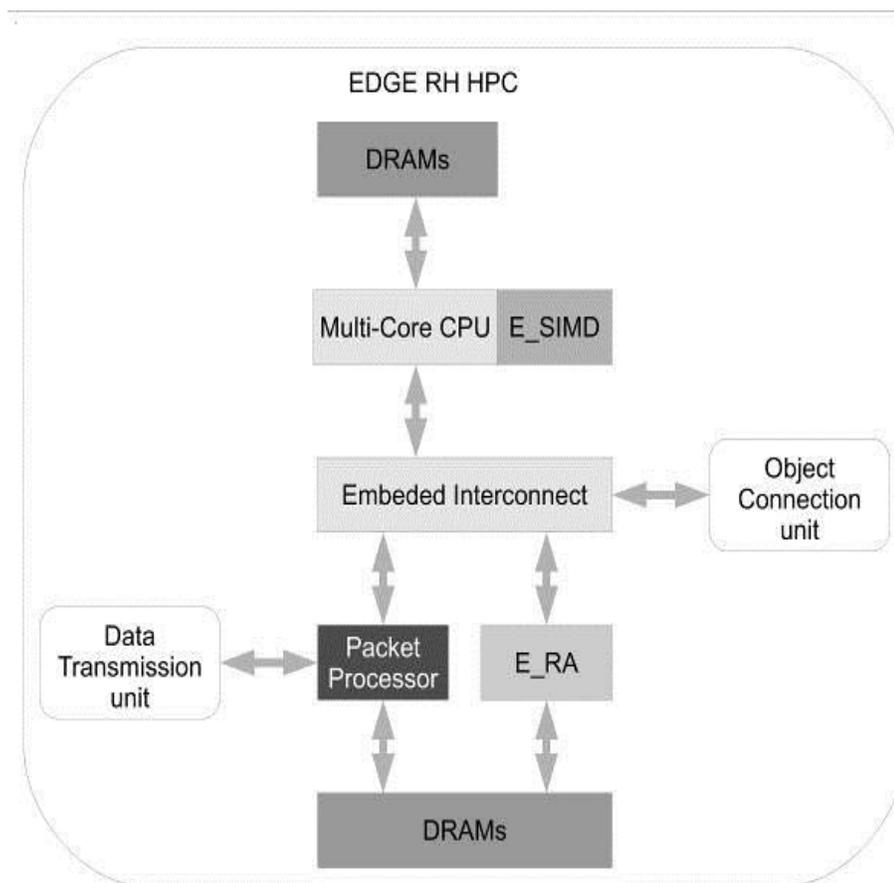
Basic high performance Systems-on-Chip» node with smart interconnection interface improved by packet processor.

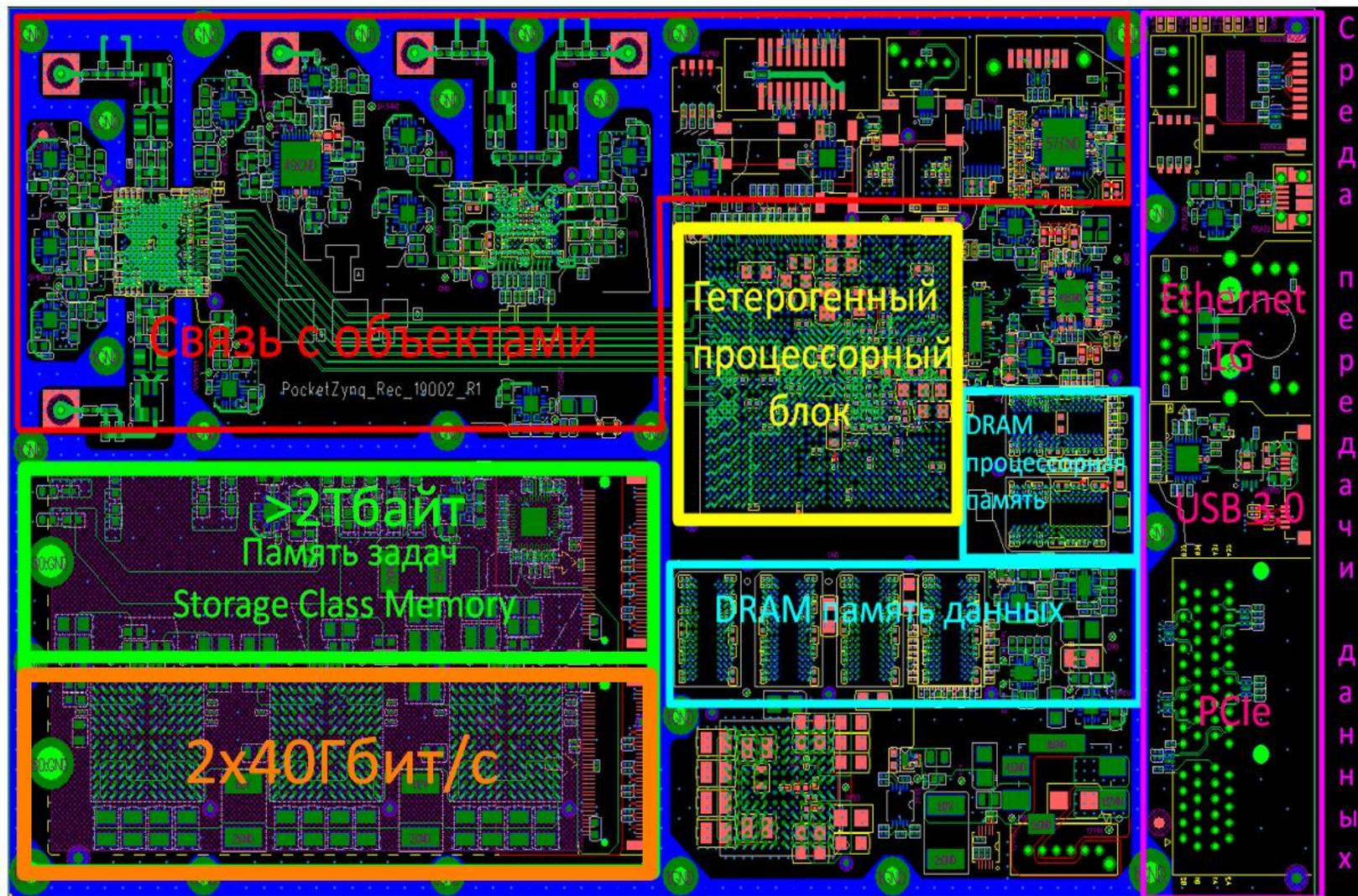
Multi-Core CPU, which is a main processing unit.

E\_SIMD accelerator tightly coupled with Multi-Core CPU. It could be implemented as a separate Integration Circuit (IC) or as an embedded GPGPU unit inside SoC device.

E\_RA accelerator, which could be implemented as a separate IC or as an embedded unit, deployed on the Logic Part of SoC device.

DRAM blocks, which, at the physical level, are DDR4 memory modules. DRAMs are the local memory for the Logic Part and Processor Part of SoC device.





# ИТОГО: INTELLIGENT DOES NOT MEAN DIGITAL

